

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-42822

(P2001-42822A)

(43)公開日 平成13年2月16日 (2001.2.16)

(51)Int.Cl.
G 0 9 G 3/30
// H 0 5 B 33/14

識別記号

F I
G 0 9 G 3/30
H 0 5 B 33/14

テ-マコ-ド(参考)
K 3 K 0 0 7
A 5 C 0 8 0

審査請求 未請求 請求項の数8 OL (全7頁)

(21)出願番号

特願平11-220291

(22)出願日

平成11年8月3日 (1999.8.3)

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 石塚 真一

埼玉県鶴ヶ島市富士見6丁目1番1号 バ
イオニア株式会社総合研究所内

(74)代理人 100079119

弁理士 藤村 元彦

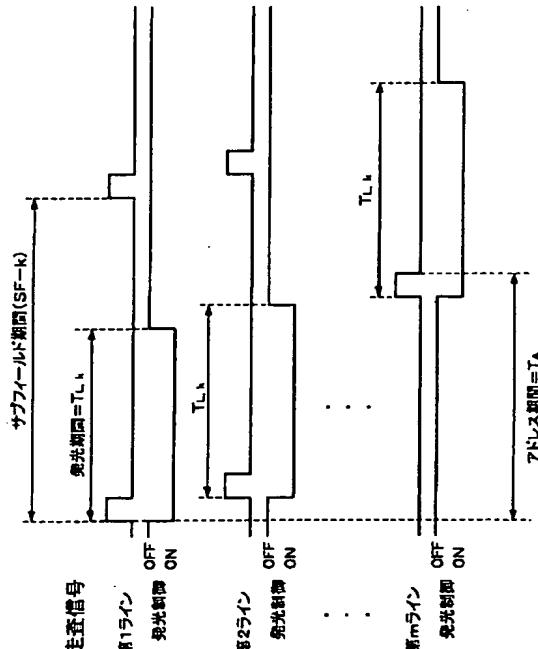
Fターム(参考) 3K007 AB00 AB02 BA06 BB07 DA00
DB03 EB00 FA01 GA00 GA04
5C080 AA06 BB05 DD05 EE29 FF12
GG12 JJ02 JJ03 JJ04

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【目的】 表示パネルの全面に亘って輝度階調のばらつきのない高精度の多階調表示が可能なアクティブマトリクス型の表示装置を提供する。

【解決手段】 入力映像データの同期タイミングに対応する単位フレーム期間内に、複数のサブフィールド期間を設定する設定手段と、上記複数のサブフィールド期間毎に発光パネルの各行を順次走査して、上記複数の入力映像データに応じて発光素子を発光せしめる表示制御手段と、サブフィールド期間の各々に対し、発光制御手段が発光パネルの全ての行の走査に要する期間であるアドレス期間が所定の発光期間よりも長い場合に、発光素子の各々の発光期間が所定の発光期間に達した時に発光素子の各々の発光を停止せしめる発光停止手段と、を有する。



【特許請求の範囲】

【請求項1】マトリクス状に配置された発光素子と、データ信号電流を蓄積して保持する保持回路と、該保持された電圧に応じて前記発光素子の各々を駆動する駆動素子と、を含むアクティブマトリクス型の発光パネルを用いた表示装置であって、

入力映像データの同期タイミングに対応する単位フレーム期間内に、複数のサブフィールド期間を設定する設定手段と、

前記サブフィールド期間毎に前記発光パネルの各行を順次走査して、前記入力映像データに応じて前記発光素子を発光せしめる表示制御手段と、

前記複数のサブフィールド期間の各々に対し、前記発光素子の各々の発光期間が所定発光期間に達した時に前記発光素子の各々の発光を停止せしめる発光停止手段と、を有することを特徴とする表示装置。

【請求項2】前記発光停止手段は、前記発光パネルの各行毎に前記発光素子の発光を停止せしめることを特徴とする請求項1に記載の表示装置。

【請求項3】前記発光停止手段は、タイマと、前記タイマの出力に応じて前記駆動素子の各々の導通を遮断するスイッチ回路と、を有することを特徴とする請求項1又は2に記載の表示装置。

【請求項4】前記スイッチ回路は、前記駆動素子及び前記保持回路の間に直列に接続されていることを特徴とする請求項3に記載の表示装置。

【請求項5】前記スイッチ回路は、前記保持回路に並列に接続されていることを特徴とする請求項3に記載の表示装置。

【請求項6】前記スイッチ回路は、前記駆動素子及び前記保持回路の間に直列に接続された第1のスイッチ素子及び前記駆動素子に並列に接続された第2のスイッチ素子を少なくとも有することを特徴とする請求項3に記載の表示装置。

【請求項7】前記スイッチ回路は、前記発光素子に直列に接続されていることを特徴とする請求項3に記載の表示装置。

【請求項8】前記所定発光期間は、サブフィールド2階調法に基づいて定められることを特徴とする請求項1ないし7に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型表示装置、特に、有機エレクトロルミネセンス素子等の発光素子を有するアクティブマトリクス型発光パネルを用いた表示装置に関する。

【0002】

【従来の技術】有機エレクトロルミネセンス素子（以下、有機EL素子と称する）は発光素子を流れる電流によってその発光輝度を制御することができ、このような

発光素子をマトリクス状に配置して構成される発光パネルを用いたマトリクス型ディスプレイの開発が広く進められている。かかる有機EL素子を用いた発光パネルとして、有機EL素子を単にマトリクス状に配置した単純マトリクス型発光パネルと、マトリクス状に配置した有機EL素子の各々にトランジスタからなる駆動素子を加えたアクティブマトリクス型発光パネルがある。アクティブマトリクス型発光パネルは単純マトリクス型発光パネルに比べて、低消費電力であり、また画素間のクロストークが少ないなどの利点を有し、特に大画面ディスプレイや高精細度ディスプレイに適している。

【0003】図1は、従来のアクティブマトリクス型発光パネルの1つの画素10に対応する回路構成の1例を示している。かかる回路構成は、例えば、特開平8-241057号公報に開示されている。図1において、FET(Field Effect Transistor)11(アドレス選択用トランジスタ)のゲートGは、アドレス信号が供給されるアドレス走査電極線(アドレスライン)に接続され、FET11のソースSはデータ信号が供給されるデータ電極線(データライン)に接続されている。FET11のドレインDはFET12(駆動用トランジスタ)のゲートGに接続され、キャバシタ13を通じて接地されている。FET12のソースSは接地され、ドレインDは有機EL素子15の陰極に接続され、有機EL素子15の陽極を通じて電源に接続されている。この回路の発光制御動作について述べると、先ず、図1においてFET11のゲートGにオン電圧が供給されると、FET11はソースSに供給されるデータの電圧に対応した電流をソースSからドレインDへ流す。FET11のゲートGがオフ電圧であるとFET11はいわゆるカットオフとなり、FET11のドレインDはオープン状態となる。従って、FET11のゲートGがオン電圧の間に、ソースSの電圧がキャバシタ13に充電され、その電圧がFET12のゲートGに供給されて、FET12にはそのゲート電圧とソース電圧に基づいた電流が有機EL素子15を通じてドレインDからソースSへ流れ、有機EL素子15を発光せしめる。また、FET11のゲートGがオフ電圧になると、FET11はオープン状態となり、FET12はキャバシタ13に蓄積された電荷によりゲートGの電圧が保持され、次の走査まで駆動電流を維持し、有機EL素子15の発光も維持される。尚、FET12のゲートGとソースSの間にはゲート入力容量が存在するのでキャバシタ13を設けなくとも上記と同様な動作が可能である。

【0004】アクティブマトリクス駆動により発光制御を行う表示パネルの1画素に対応する回路はこのように構成され、当該画素の有機EL素子15が駆動された場合に当該画素の発光が維持される。上記したアクティブマトリクス型発光パネルの各画素の輝度階調の制御は、FET12のゲートGにかかる電圧を振幅変調すること

によって行なわれていた。すなわち、FET12のソースードレイン電流はゲートGにかかる電圧によって変化するので、供給される入力映像信号に応じて、ゲートGに印加する電圧の大きさを調整することにより、有機EL素子15に流れる駆動電流量を調整することができる。従って、有機EL素子15の駆動電流量を調整することによって有機EL素子15の瞬時輝度を調整していく。

【0005】

【発明が解決しようとする課題】しかしながら、上述したような振幅変調によって輝度階調表示を行う表示装置においては、駆動FETのゲートにかかる電圧値とソースードレイン間に流れる電流値の関係、すなわち、駆動FETの電流-電圧特性が非線形であるため、表示パネル面内の駆動FET間の特性ばらつきによって輝度階調にはばらつきが生じ、精度の高い多階調表示が困難であるという問題があった。

【0006】本発明はかかる点に鑑みてなされたものであり、その目的とするところは、表示パネルの全面に亘って輝度階調のばらつきのない高精度の多階調表示が可能なアクティブマトリクス型の表示装置を提供することにある。

【0007】

【課題を解決するための手段】本発明による表示装置は、マトリクス状に配置された発光素子と、データ信号電流を蓄積して保持する保持回路と、該保持された電圧に応じて発光素子の各々を駆動する駆動素子と、を含むアクティブマトリクス型の発光パネルを用いた表示装置であって、入力映像データの同期タイミングに対応する単位フレーム期間内に、複数のサブフィールド期間を設定する設定手段と、上記サブフィールド期間毎に発光パネルの各行を順次走査して、上記複数の入力映像データに応じて発光素子を発光せしめる表示制御手段と、サブフィールド期間の各々に対し、発光制御手段が発光パネルの全ての行の走査に要する期間であるアドレス期間が所定発光期間よりも長い場合に、発光素子の各々の発光期間が所定発光期間に達した時に発光素子の各々の発光を停止せしめる発光停止手段と、を有することを特徴としている。

【0008】本発明の他の特徴として、上記発光停止手段は、発光パネルの各行毎に発光素子の発光を停止せしめる。また、本発明の他の特徴として、上記発光停止手段は、タイマとタイマの出力に応じて駆動素子の各々の導通を遮断するスイッチ回路と、を有している。更に、本発明の他の特徴として、上記スイッチ回路は駆動素子及び保持回路の間に直列に接続されている。

【0009】本発明の更なる特徴として、上記スイッチ回路は保持回路に並列に接続されている。また、本発明の他の特徴として、上記スイッチ回路は発光素子に直列に接続されている。

【0010】

【発明の実施の形態】本発明の実施例を図面を参照しつつ詳細に説明する。尚、以下に説明する図において、実質的に同等な部分には同一の参照符を付している。図2は、本発明の第1の実施例であるアクティブマトリクス型発光パネルを用いた有機EL表示装置20の構成を概略的に示している。

【0011】図2において、アナログ/デジタル(A/D)変換器21は、アナログ映像信号入力を受けてデジタル映像信号データに変換する。変換により得られたデジタル映像信号はA/D変換器21からフレームメモリ24へ供給され1フレーム単位のデジタル映像信号データが一旦フレームメモリ24に記憶される。一方、有機EL表示装置20内の各部の制御をなす表示制御部(以下、コントローラと称する)26は、相異なる発光時間をパラメータとする複数のサブフィールド(以下では8個のサブフィールドの場合を例に説明する)によって、上記フレームメモリ24に記憶されたデジタル映像信号データを、列アドレスカウンタ2及び行アドレスカウンタ23を用いて制御することにより、複数(ここでは8個)の階調表示データに変換し、それぞれ発光パネル30の画素のアドレスに対応する発光・非発光データと共に順次マルチブレクサ25に供給する。

【0012】また、コントローラ26は、マルチブレクサ25に供給された発光・非発光データの中から各サブフィールドに対応する列データを第1行目から順次画素の配列順に列ドライバ28が有するデータラッチ回路に保持させるように制御する。コントローラ26は、データラッチ回路によって順次保持された各サブフィールド毎の列データを、1行単位で発光パネル30に供給すると共に、行ドライバ27によって対応する行が有する画素列において同時に発光させる。また、コントローラ26は計時装置(タイマ)を内部に有し(図示しない)、発光制御ドライバ31を制御して、各サブフィールド毎に各画素の発光期間を制御する。この動作は、1フレームのデータ単位で、第1サブフィールドから第8サブフィールドまでのそれぞれの列データに関して行なわれる(ここでは8回行なわれる)。発光パネル30の各画素は、供給される各サブフィールドの各々に対し、後述する所定の発光期間だけ発光制御され、1フレーム分の発光表示を多階調表示によって行なうことができる。

【0013】なお、図3に示すように、本実施例においては、上記入力映像信号における1フレーム期間を8個のサブフィールドに分割し、各サブフィールド期間内における輝度の相対比がそれぞれ1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/256(すなわち、順に第1サブフィールド～第8サブフィールド)となるように設定され、それらのサブフィールドの選択的組合せにより256通りの輝度階調表示(すなわち、サブフィールド2ⁿ階調法に基づいた方法による

表示)をなすことができる。

【0014】本発明における有機EL表示装置は、このように構成され、入力されるアナログ映像信号に対し、各サブフィールド毎に発光パネルの画面全体のアドレス走査による発光制御を繰り返すことにより、フレーム単位の発光表示を多階調表示によって行うことができる。図4は、本発明の第1の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示したものである。本実施例が図1に示した従来技術の回路構成と異なるのは、アドレス選択用FET11のソースS及びキャバシタ13の接続点と駆動用FET12のゲートGとの間に、駆動用FET12の導通を制御して有機EL素子15の発光及び非発光(発光停止)を制御するスイッチ回路32が設けられている点である。スイッチ回路32は、後述する発光制御ドライバ31からの発光制御信号に応じてスイッチングを行う2つのFET33、34を有している。スイッチ回路32において、FET33はFET11のソースS及びキャバシタ13の接続点とFET12のゲートGとの間に接続され、FET34はFET12のゲートGとグランド(GND)間に接続されている。従って、FET33が導通し、FET34が非導通となったとき、スイッチ回路32は有機EL素子15を発光せしめる(ON)発光制御を行い、その逆の場合に有機EL素子15の発光を停止せしめる(OFF)発光制御を行う。

【0015】以下に、コントローラ26が、フレームメモリ24に記憶されたデジタル映像信号データに基づいて発光パネル30の発光・非発光を制御して多階調表示を実現する発光制御動作について、図5及び図6に示すタイムチャートを参照しつつ詳細に説明する。先ず、コントローラ26は、デジタル映像信号データがフレームメモリ24に供給されると、1フレーム分のデジタル映像信号データをフレームメモリ24に書き込む。次に、コントローラ26は、マルチブレクサ25に対し第1サブフィールド(SF1)のデータを出力する旨の指令を出す。次に、コントローラ26は、行アドレスカウンタ23に対して第1行を指定する旨の指令を出すと共に、列アドレスカウンタ22に対して第1列を指定する旨の指令を出す。

【0016】これにより、指定されたアドレス(第1行、第1列)の1フレーム分のデジタル映像信号データが、各サブフィールドに対応する8つの階調表示データに変換され、発光パネル30の画素のアドレスに対応する発光・非発光データを含んだデータとして順次マルチブレクサ25に供給される。コントローラ26は、マルチブレクサ25に供給された上記指定されたアドレス(第1行、第1列)のデータの中から第1サブフィールドのデータを列ドライバ28に出力する。列ドライバ28では、列ドライバ28内に設けられたデータラッチ回路(図示しない)によってこのデータを保持する。

【0017】次に、コントローラ26は、列アドレスカウンタ22に対して列を1つ更新する指令を出す。すなわち、列アドレスカウンタ22に対して第2列を指定する旨の指令を出す。このことにより、アドレス(第1行、第2列)が指定され、先に述べたアドレス(第1行、第1列)が指定された場合と同様の動作を繰り返す。このようにして、コントローラ26は、第1行の各列に対し順次、上記した動作を繰り返すことにより、第1行の全ての列のデータを列ドライバ28が有するデータラッチ回路に保持させる。

【0018】第1行の全ての列データがラッチされた後、図5に示すように、コントローラ26は第1行の列データのそれぞれを、対応する各列の画素に書き込む。すなわち、各画素に対応するアドレス選択用FET11を導通せしめる。これと同時に、コントローラ26は発光制御ドライバ31を制御してスイッチ回路32を導通(発光制御ON)させる制御信号を供給せしめ、発光を示すデータを有する画素の有機EL素子を発光せしめる。尚、コントローラ26は、更に、第1サブフィールドに対し予め決められた所定の発光期間(T_{11})が経過したときに、上記有機EL素子の発光の停止を指示する信号を発光制御ドライバ31に供給する。発光制御ドライバ31は第1行の全てのスイッチ回路32に有機EL素子の発光を停止せしめる制御信号(発光制御OFF)を供給し、有機EL素子は非発光となる。

【0019】コントローラ26は、第1行の全ての列データがラッチされた後のステップとして、行アドレスカウンタ23を第2行に指定する旨の指令を出すと共に、列アドレスカウンタ22を第1列に指定する旨の指令を出す。上記した第1行の場合の動作と同様にして、第2行の全ての列データのデータラッチを行うように制御を実行する。第2行の全ての列データのラッチ後、上記した第1行の場合と同様にして第2行の各列の画素の発光制御動作が実行される。

【0020】コントローラ26は、このような動作を全ての行(すなわち、第1ライン～第mライン)に亘って行うことにより、第1サブフィールドのデータに対応させて発光パネル30の全ての画素の発光制御を行ふことができる。次に、コントローラ26は、マルチブレクサ25に対し第2サブフィールドのデータを出力する旨の指令を発する。以下、コントローラ26は、先に述べた第1サブフィールドの場合と同様の動作を繰り返し、第2サブフィールドのデータに対応した発光がなされる。

【0021】このようにして、第1サブフィールドから第8サブフィールドまでに対応した発光がなされるが、本発明における特徴として、各サブフィールド毎に所定の発光期間が経過した後、発光素子の発光を停止せしめる手段を有しているので、アドレス期間(T_{11})よりも短い任意の発光期間をサブフィールドに対し割り当てることが可能である。すなわち、発光停止手段を有しない

場合にアドレス期間よりも短い発光期間をサブフィールドに割り当てることができないのは、次のサブフィールドのアドレス期間の開始によって画素の発光（又は非発光）が更新されるまで、発光していた画素の発光を停止できず、次のサブフィールドは、全ての行の走査に要する期間であるアドレス期間が終了するまで開始できないからである。

【0022】図5は、第kサブフィールド（ $1 \leq k \leq 8$ ）に対し、アドレス期間（ T_A ）よりも短い発光期間で各ラインの発光を制御する場合を示している。コントローラ26による前述したのと同様な制御により、各行はこのサブフィールドに対して設定された所定の発光期間（ T_{sub} ）で発光制御される。例えば、1フレームを60Hzで表示する場合、1フレームは約16.7ミリ秒（ms）である。ここで、アドレス期間を0.84ms（1フレーム期間の40%×1/8）、第1サブフィールド（1/2）における発光期間を1フレーム期間の1/2以下の値、例えば5msとそれぞれ設定する場合を例に説明する。このとき、第2サブフィールド以降のサブフィールドにおける発光期間はそれぞれ第1サブフィールドの発光期間の $1/2^1$ 、 $1/2^2$ 、 $1/2^3$ 、 \dots 、 $1/2^7$ である2.5ms、1.25ms、0.625ms、 \dots 、0.039msとなる。従って、この場合、第4サブフィールド以降のサブフィールド（第4～第8サブフィールド）における発光期間はアドレス期間（ $T_A = 0.84\text{ ms}$ ）よりも短いが、各サブフィールドに対し所望の発光期間を有するように制御がなされる。

【0023】上記したようにして、第1サブフィールドから第8サブフィールドまでの表示制御が終了した時点で1フレームの表示が完了する。その後、コントローラ26は、フレームメモリ24に記憶されるデータを次のフレームに対応するデータに書き替えて、次のフレームの表示制御を行う。従って、本発明によれば、上述した発光停止制御により、各サブフィールドに対しアドレス期間よりも短い任意の発光期間で発光を制御できるので、広範な階調表示が可能である。

【0024】図7は、本発明の第2の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示したものである。本実施例が第1の実施例と異なるのは、スイッチ回路32がキャバシタ13に並列に接続されたFET35を有している点である。すなわち、FET35のドレインDはFET11のソースS及びキャバシタ13の接続点に接続され、ソースSはグラウンドに接地されている。従って、ゲートGに供給される制御信号に応じてFET35が導通したときに有機EL素子15の発光は停止される。

【0025】図8は、本発明の第3の実施例である発光パネルの1画素に対応する回路構成を示したものである。本実施例が前述の実施例と異なるのは、スイッチ回

路32がキャバシタ13とFET12のゲートGとの間に直列に接続されたFET36を有している点である。すなわち、FET36のドレインDはFET11のソースS及びキャバシタ13の接続点に接続され、ソースSはFET12のゲートGに接続されている。従って、ゲートGに供給される制御信号に応じてFET36が非導通となったときに有機EL素子15の発光は停止される。

【0026】図9ないし11は、本発明の他の実施例である発光パネルの1画素に対応する回路構成をそれぞれ示したものである。各実施例が前述の実施例と異なるのは、スイッチ回路32が有機EL素子15と直列に接続されたFET37を有している点である。すなわち、FET37のゲートGに供給される制御信号に応じてFET37が非導通となったときに有機EL素子15の発光は停止される。

【0027】上記したように、本発明によれば、上述した発光停止制御により、各サブフィールドに対しアドレス期間よりも短い任意の発光期間で発光を制御できるので、広範な階調表示が実現できる。尚、上記した実施例において示した各数値は例であって適宜変更してもよい。また、各種のスイッチング回路等は、適宜組み合わせて用いることができる。

【0028】

【発明の効果】上記したことから明らかなように、本発明によれば、各サブフィールドにおける発光期間を任意に制御できるので、表示パネルの全面に亘って輝度階調のばらつきのない高精度の多階調表示が可能なアクティブマトリクス型の表示装置を実現できる。

【図面の簡単な説明】

【図1】従来のアクティブマトリクス型発光パネルの1つの画素に対応する回路構成の1例を概略的に示す図である。

【図2】本発明の実施例であるアクティブマトリクス型発光パネルを用いた有機EL表示装置の構成を概略的に示す図である。

【図3】デジタル映像信号の1フレーム期間、サブフィールド期間、及びアドレス期間を示す図である。

【図4】本発明の第1の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示す図である。

【図5】コントローラがサブフィールド毎に実行する発光制御のタイミングを示すタイムチャートである。

【図6】コントローラが、アドレス期間よりも短い発光期間で発光を制御する制御タイミングを示すタイムチャートである。

【図7】本発明の第2の実施例であるアクティブマトリクス型発光パネルの1画素に対応する回路構成を示す図である。

【図8】本発明の第3の実施例である発光パネルの1画

素に対応する回路構成を示す図である。

【図9】本発明の他の実施例である発光パネルの1画素に対応する回路構成を示す図である。

【図10】本発明の他の実施例である発光パネルの1画素に対応する回路構成を示す図である。

【図11】本発明の他の実施例である発光パネルの1画素に対応する回路構成を示す図である。

【主要部分の符号の説明】

10 画素

11 アドレス選択用FET

12 駆動用FET

13 キャパシタ

15 発光素子

* 20 表示装置

21 A/D変換器

22 列アドレスカウンタ

23 行アドレスカウンタ

24 フレームメモリ

25 マルチブレクサ

26 コントローラ

27 行ドライバ

28 列ドライバ

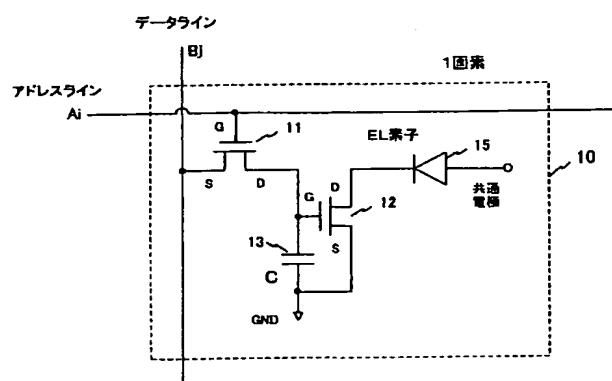
10 30 発光パネル

31 発光制御ドライバ

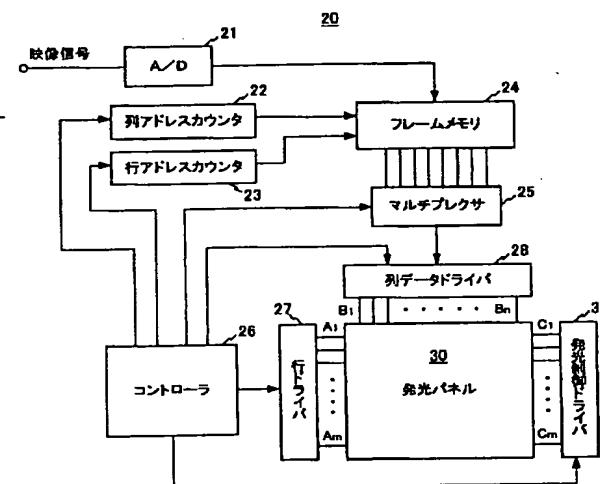
32 スイッチ回路

* 33, 34, 35, 36 FET

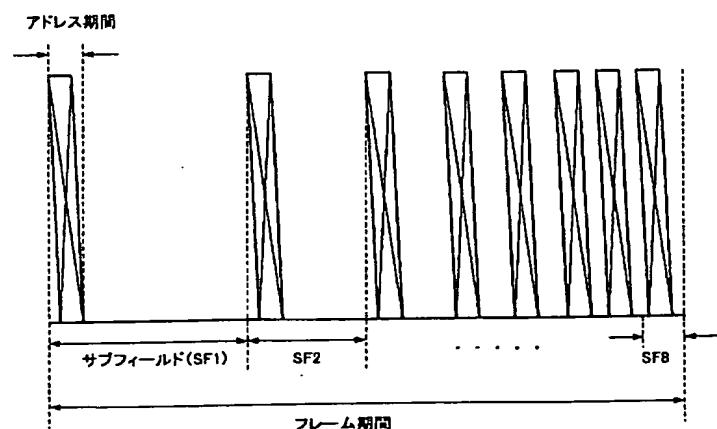
【図1】



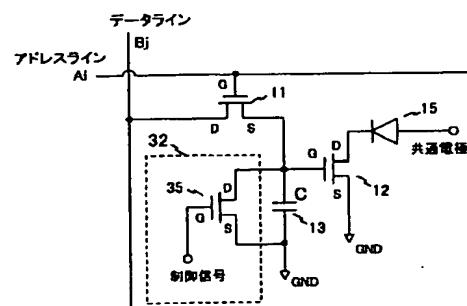
【図2】



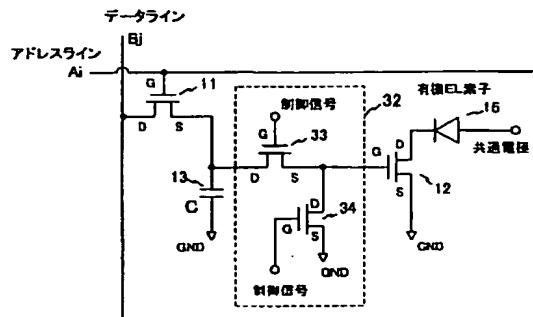
【図3】



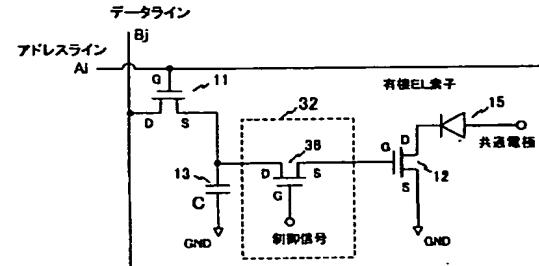
【図7】



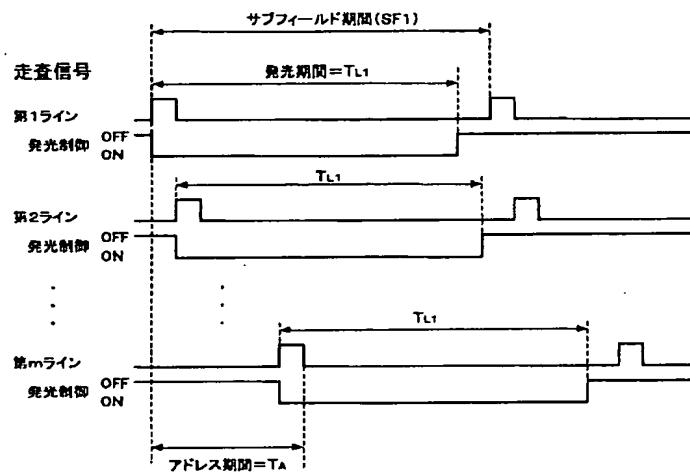
【図4】



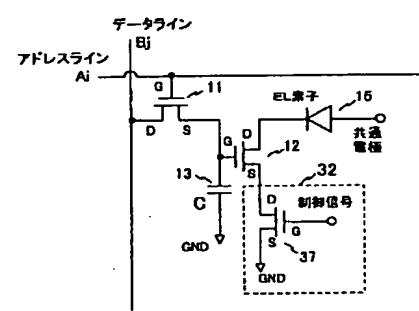
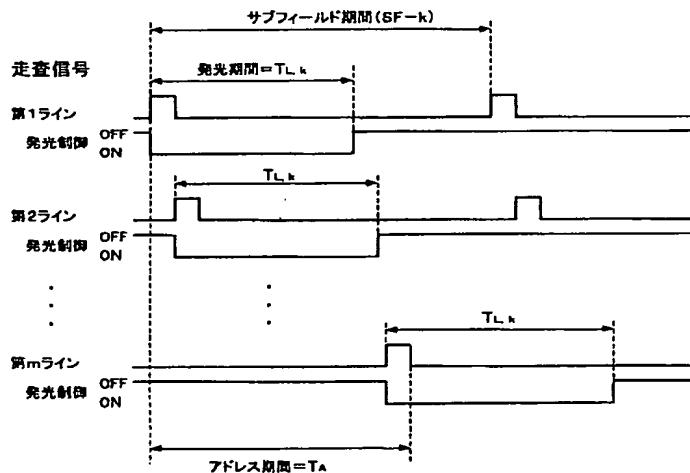
【図8】



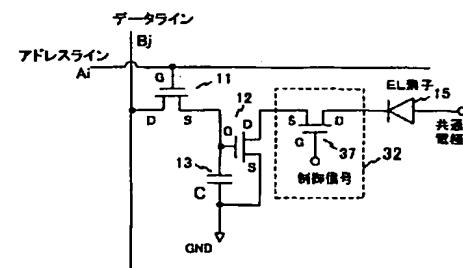
【図5】



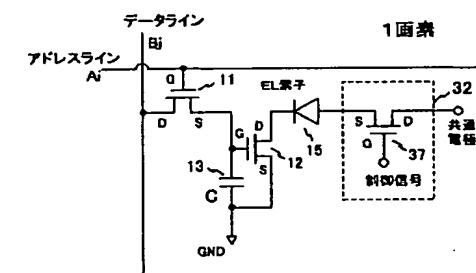
【図6】



【図10】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.